



19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

# Offenlegungsschrift

## DE 42 40 876 A 1

51 Int. Cl.<sup>5</sup>:  
H 04 N 3/24

21 Aktenzeichen: P 42 40 876.8  
22 Anmeldetag: 4. 12. 92  
43 Offenlegungstag: 17. 6. 93

DE 42 40 876 A 1

30 Unionspriorität: 32 33 31

13.12.91 GB 9126550

71 Anmelder:

Thomson Consumer Electronics, Inc., Indianapolis,  
Ind., US

74 Vertreter:

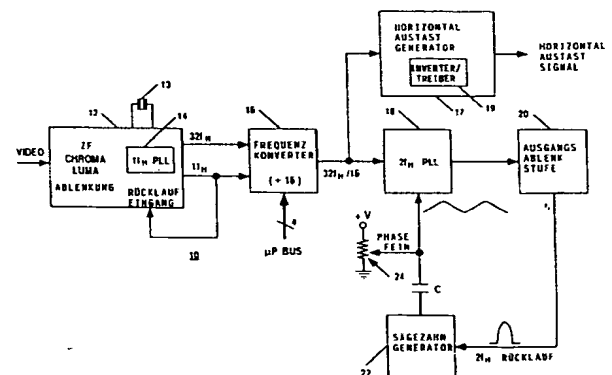
Einsel, R., Dipl.-Ing., Pat.-Anw., 3100 Celle

72 Erfinder:

Fernsler, Ronald Eugene; Truskalo, Walter,  
Indianapolis, Ind., US

54 Horizontal-Austastung für Mehrfach-Frequenz-Abstastung

57 In einem Horizontal-Ablenksystem wird ein  $nf_H$ -Zeitsteuerungssignal synchron mit einer  $f_H$ -Synchronkomponente eines Videosignals erzeugt, wobei  $nf_H$  eine höhere Frequenz ist als  $f_H$ . Eine erste Schaltung (18) spricht auf das  $nf_H$ -Zeitsteuerungssignal an, um ein  $nf_H$ -Abtastsynchrosignal synchron mit dem  $nf_H$ -Zeitsteuerungssignal zu erzeugen. Eine Horizontal-Ablenkstufe (20) arbeitet mit  $nf_H$  und spricht auf das  $nf_H$ -Abtastsynchrosignal an. Eine zweite Schaltung (17) spricht auf dasselbe  $nf_H$ -Zeitsteuerungssignal an, um Horizontal-Austastimpulse zu erzeugen. Das  $nf_H$ -Zeitsteuerungssignal kann durch eine erste PLL-Schaltung und einen Frequenzteiler (16) erzeugt werden. Die erste, auf das  $nf_H$ -Zeitsteuerungssignal ansprechende Schaltung (18) kann aus einer zweiten PLL-Schaltung bestehen. Die zweite auf das  $nf_H$ -Zeitsteuerungssignal ansprechende Schaltung (17) kann aus einem Treiber/Inverter bestehen. Die Horizontal-Austastimpulse werden mit Vertikal-Austastimpulsen kombiniert, um ein kombiniertes Austastsignal zu bilden.



DE 42 40 876 A 1

Die Erfindung bezieht sich auf das Gebiet der Synchronisationssysteme für Fernsehempfänger und dergl. und insbesondere auf die Erzeugung von Horizontal-Austastsignalen für den Betrieb mit mehrfacher Abtastfrequenz. Beispielsweise werden die Horizontal-Austastsignale mit  $2f_H$  erzeugt, während  $f_H$  die übliche Horizontal-Abtastfrequenz ist.

Um ein Videosignal ohne Geisterbilder zu erhalten, sind richtige Impulsbreite und richtige Zeitsteuerung für Ablenk- und Videosignal wichtig. Dies gilt insbesondere für "High-end"-Empfänger, die mit mehreren Horizontal-Frequenzen ( $nf_H$ ) und mit einer niedrigeren Überabtastung betrieben werden. Die Größe der Überabtastung für Mehrfach-Frequenzabtastung beträgt etwa 5% bis 7% im Vergleich zu 10% bis 12% Überabtastung, die bei üblichen Abtastfrequenzen gängig ist. Demzufolge ist die Notwendigkeit einer genauen Zeitsteuerung des Horizontal-Austastsignals größer.

Üblicherweise wird die Horizontal-Austastung von einem Impuls mit niedrigerer Spannung an einer Sekundärwicklung des Hochspannungs-Zeilendendtransformators abgeleitet. Ein Problem hierbei ist, daß die Anstiegszeit des Impulses nicht schnell genug ist, um das Videosignal in dem Horizontal-Jochstrom-Rücklaufintervall, das durch einen Impuls mit höherer Spannung erzeugt wird, angemessen auszutasten. Wenn der Impuls nicht stark differenziert und dann gedehnt wird, um den Impuls breit genug zu machen, ist ferner die Zeitsteuerung für den Beginn der Austastung später als notwendig. Bedauerlicherweise verursacht eine starke Differenzierung andere Probleme in Form einer falschen Auslösung der Austastung, wenn Rücklauf-Überschwingimpulse (ringing pulses) groß genug werden, um die Schaltung auszulösen.

Eine bekannte Lösung zur Überwindung dieser Probleme verwendet zwei Kondensatoren, die in einer kapazitiven Spannungsteileranordnung vorgesehen werden. Hierdurch wird das sekundäre Überschwingsproblem beseitigt und eine bessere Zeitsteuerung erzielt als bei der Lösung mit Sekundärwicklung. Bei dieser Lösung ist jedoch problematisch, daß wenigstens ein Hochspannungskondensator in dem Spannungsteiler benötigt wird.

Eine andere Lösung ist die Erzeugung eines Austastimpulses aus Zeitsteuerungssignalen, die dem Rücklaufintervall vorangehen. Dies kann durch Verwendung von zwei monostabilen Multivibratoren erfolgen. Einer der monostabilen Multivibratoren wird durch eines der Horizontal-Synchronsignale ausgelöst und definiert eine Anfangsverzögerung von etwa einer ganzen horizontalen Zeile. Der zweite monostabile Multivibrator wird durch den Ausgang des ersten Multivibrators am Ende dieser Verzögerung ausgelöst und definiert die Impulsbreite. Den monostabilen Multivibratoren haften jedoch Probleme an, z. B. eine falsche Auslösung, was zu einer ungeeigneten Austast-Zeitsteuerung führt.

Eine bessere Lösung gemäß einer erfindungsgemäßen Anordnung ist insbesondere für eine Horizontal-Synchronisationsschaltung mit mehreren Frequenzen geeignet, die eine erste PLL-Schaltung (phase locked loop), die mit einer Frequenz von  $1f_H$  arbeitet, und eine zweite PLL-Schaltung, die mit der Frequenz  $2f_H$  arbeitet, aufweist. Eine Synchronisationsschaltung mit einer solchen ersten und zweiten PLL-Schaltung sowie eine Schaltung zur Teilung des Ausgangs eines  $32f_H$ -Oszillators durch 16 zur Gewinnung des  $2f_H$ -Signals ist im

US-Patent 50 43 813, aus dem am 27. August 1991, und in der europäischen Patentanmeldung 9 11 04 749.6, veröffentlicht als EP 04 49 138 A2, am 2. Oktober 1991, beschrieben.

Die erste PLL-Schaltung enthält einen  $nf_H$ -Oszillator für beispielsweise  $32f_H$  und wird mit einem ankommenden Videosignal synchronisiert. Die zweite PLL-Schaltung ist mit der Horizontal-Ablenkschaltung synchronisiert. Eine Konverterschaltung zur Umsetzung von  $1f_H$  in  $2f_H$ , die als  $32f_H/16$ -Frequenzteiler-Zähler ausgebildet sein kann, spricht auf den  $32f_H$ -Oszillator an und wird durch den  $1f_H$ -Ausgang der ersten PLL-Schaltung synchronisiert. Der Frequenzteiler erzeugt ein  $32f_H/16$ - (d. h.  $2f_H$ ) Ansteuersignal für die zweite PLL-Schaltung durch wiederholtes Abwärtszählen des  $32f_H$ -Signals durch eine Zählung von 16. Bei der erfindungsgemäßen Anordnung bildet dasselbe synchronisierende, von dem  $32f_H/16$ -Teiler abgeleitete Signal eine Zeitsteuerungsquelle zum Austasten des mit  $2f_H$  arbeitenden RGB-Treibers. Ferner wird die Phase des Austastsignals in Stufen einstellbar gemacht, indem der Frequenzteiler-Zähler auf eine vorgegebene Zahl vorgeladen wird, die für eine andere Frequenzteilungs-Zählung als 16 sorgt.

Fig. 1 ist ein Blockschaltbild einer Horizontal-Synchronisationsschaltung und eines Horizontal-Austastgenerators gemäß einer erfindungsgemäßen Anordnung mit zwei durch einen Frequenz-Konverter miteinander verbundenen PLL-Schaltungen.

Fig. 2 ist ein Blockschaltbild einer digitalen Schaltung zur Ausbildung des in Fig. 1 dargestellten Frequenz-Konverters als  $32f_H/16$ -Teiler.

Fig. 3 ist ein schematisches Schaltbild des in Fig. 1 dargestellten Horizontal-Austastgenerators.

Fig. 4(a) und 4(b) sind vergleichende Zeitdiagramme, wobei Fig. 4(a) das Signal an der Verbindung der Widerstände R5 und R6 in Fig. 3 und Fig. 4(b) die Zeile 214 des Philips-Video-Schemas darstellen.

Fig. 5(a) und 5(b) sind vergleichende Zeitdiagramme, wobei Fig. 5(a) den  $2f_H$ -Jochstrom und Fig. 5(b) die Zeile 214 des Philips-Video-Schemas darstellen.

Fig. 1 zeigt eine Horizontal-Synchronisationsschaltung 10 für eine Abtastung mit  $2f_H$  unter Verwendung von zwei PLL-Schaltungen. Ein aus einem Chip bestehender Prozessor 12 erzeugt IF-, Video-, Chroma- und Ablenksfunktionen. Eine PLL-Schaltung 14 in dem Ein-Chip-Prozessor erzeugt einen  $1f_H$ -Ausgang durch Teilung eines  $32f_H$ -Taktsignals von einem spannungsgeregelten Oszillator 13 durch 32. Der  $1f_H$ -Ausgang wird mit der Horizontal-Synchronkomponente eines ankommenden Videosignals aufgrund der PLL-Schaltung 14 synchronisiert. Eine durch 16 teilende Schaltung 16 in Form eines Frequenzkonverters zur Umsetzung von  $1f_H$  in  $2f_H$  erzeugt einen  $2f_H$ -Ausgang durch Teilung des  $32f_H$ -Oszillatorausgangs durch eine nominelle Zählung von 16. Der  $1f_H$ -Ausgang dient zur Synchronisierung der durch 16 teilenden Schaltung. Die Phase des von dem Frequenzkonverter erzeugten  $32f_H/16$ -Zeitsteuerungssignals kann relativ zu der synchronisierenden Komponente des ankommenden Videosignals eingestellt werden. Dies wird dadurch bewirkt, daß eine Startzahl in die Frequenzteiler-Zählschaltung 16 vorgeladen wird, die die  $32f_H$ -Impulse abwärts zählt. Die Zahl kann durch einen nicht dargestellten Mikroprozessor eingegeben werden, um die Phase passend einzustellen, z. B. in Zwei-Mikrosekunden-Stufen. Ein solches Phaseneinstellsystem ist in der europäischen Patentanmeldung 9 11 04 520.1, veröffentlicht als EP 04 49 130 A2, am 2. Oktober 1991 beschrieben.

Das 32f<sub>H</sub>/16-Zeitsteuerungssignal synchronisiert eine zweite PLL-Schaltung 18 mit der Ausgangs-Ablenkstufe 20. Die PLL-Schaltung 18 arbeitet mit 2f<sub>H</sub> und erzeugt ein 2f<sub>H</sub>-Abtast-Synchronsignal, das mit dem 32f<sub>H</sub>/16-Zeitsteuerungssignal synchronisiert wird. Rücklaufimpulse mit der Frequenz 2f<sub>H</sub> werden dem Eingang eines Sägezahngenerators 22 zugeführt. Der Sägezahngenerator ist wechselstrommäßig mit dem Rücklaufeingang der zweiten PLL-Schaltung 18 durch einen Kondensator C gekoppelt. Ein veränderbarer Widerstand 24 kann eine weitere Feinabstimmung der Phase bewirken, beispielsweise von 0 bis ± 2 Mikrosekunden, indem der Gleichstrom-Offset gegenüber der Phasenvergleichsschaltung in der zweiten PLL-Schaltung geringfügig verändert wird. Das 32f<sub>H</sub>/16-Zeitsteuerungssignal dient zugleich als Eingang für einen Horizontal-Austastgenerator 17, der eine Inverter/Treiberschaltung 19 enthält.

Eine digitale Schaltung zur Realisierung der durch 16 teilenden Schaltung 16 ist in Fig. 2 dargestellt. Die 1f<sub>H</sub>- und 32f<sub>H</sub>-Signale werden durch Inverter 26 bzw. 28 gepuffert. Das gepufferte 1f<sub>H</sub>-Signal wird dem D-Eingang eines ersten Flip-Flops 30 vom D-Typ zugeführt. Der Ausgang Q des Flip-Flops 30 dient als Eingang für einen zweiten Flip-Flop 32 vom D-Typ und für einen weiteren Inverter 34. Der Ausgang Q des Flip-Flops 32 und der Ausgang des Inverters 34 bilden den Eingang für ein NAND-Tor 36, dessen Ausgang den Last- (LDN) Eingang eines Zählers 38 steuert, um die Anfangszählung von Signalen in einen mit dem Prozessor verbundenen Bus zu laden. In den Zeichnungen bedeuten mit einem "N" endende Anschlußbezeichnungen allgemein ein Signal, das ein logischer NICHT-Eingang ist.

Das verarbeitete Signal mit der Frequenz 1f<sub>H</sub>, das um einen 32f<sub>H</sub>-Taktzyklus verzögert wird und die Breite von einem 32f<sub>H</sub>-Taktzyklus hat, lädt die Bus-Daten µP, BUS0, µP BUS1, µP BUS2 und µP BUS3 in den Zähler 38. Das von dem Inverter 28 gepufferte Signal 32f<sub>H</sub> ist der Takteingang für die Flip-Flops 30 und 32 und den Zähler 38. Die Eingänge Q0 und Q1 des Zählers 38 sind Eingänge zu einem NAND-Tor 40. Die Ausgänge Q2 und Q3 des Zählers 38 sind Eingänge zu einem NOR-Tor 42. Die Ausgänge des NAND-Tors 40 und des NOR-Tors 42 sind Eingänge für ein NAND-Tor 44. Der Ausgang des NAND-Tors 44 ist das Signal 32f<sub>H</sub>/16 oder 2f<sub>H</sub>, das die zweite PLL-Schaltung ansteuert. Die relative Phase des 32f<sub>H</sub>/16- bzw. 2f<sub>H</sub>-Zeitsteuerungs-Signals ausgangs des Zählers 38 ist durch die Startzahl bestimmt, die vom Mikroprozessor eingeladen wird. Gemäß dem dargestellten Ausführungsbeispiel kann diese Phase in Booleschen Begriffen ausgedrückt werden als:

$((Q0 \cdot Q1) \cdot (Q2 + Q3))'$ ,  
 worin: · ein logisches UND,  
 + ein logisches ODER, und

bedeuten.

Wenn das ausgeprägteste Bit Q0 ist und der Zähler abwärts zählt, ist der Ausgang des NAND-Tors 44 zu-  
 treffend (niedrig) bei einer binären Zählung von 0000, 0100 oder 1100 (entsprechend den Dezimalen 0,4 bzw. 1,2). Demzufolge erzeugt diese Schaltung eine Phasen-  
 änderung von eins zu acht Taktzyklen mit 32f<sub>H</sub>, nämlich zwischen 12 und 5 (binär 1100 bis 0101). Bei dem darge-  
 stellten Ausführungsbeispiel ist die erforderliche Phasen-  
 änderung klein. Es ist auch möglich, eine Verknüpfungs-  
 anordnung zu verwenden (z. B. mit einem NOR-Tor  
 anstelle des NAND-Tors 40, um von 15 auf Null zu

zählen), um bis zu 16 Phasen eine Phasenänderung zu erhalten. Im allgemeinen ist die Größe der notwendigen Phasenänderung gleich der Änderung, die benötigt wird, um einen Austastimpuls zu erzeugen, der früher und breiter als sonst möglich ist, und der genau am Beginn der Abtastung anfängt.

Die Synchronimpulse des Ausgangs-Zeitsteuerungs-  
 signals 32f<sub>H</sub>/16 oder 2f<sub>H</sub> können in Stufen von 2 Mikro-  
 sekunden durch die gesamte 1f<sub>H</sub>-Videoperiode bewegt  
 werden, indem die in den Zähler 38 geladenen Daten  
 geändert werden. Der Ausgangs-Synchronimpuls 2f<sub>H</sub> ist  
 ein aktiver TTL-Impuls mit niedrigem Pegel und einer  
 Breite von 6 Mikrosekunden. Der Synchronimpuls 32f<sub>H</sub>/  
 16 und ein vom Rücklauf abgeleiteter 2f<sub>H</sub>-Sägezahn be-  
 stimmen die Phaseeinstellung des 2f<sub>H</sub>-Abtastsignals  
 zum ankommenden 1f<sub>H</sub>-Videosignal, das mit einer Fre-  
 quenz von 2f<sub>H</sub> durch die digitale Signalverarbeitung  
 ausgetaktet (clocked out) wird und dadurch an der Bild-  
 röhre das 2f<sub>H</sub>-Videosignal und das 2f<sub>H</sub>-Abtastsignal syn-  
 chronisiert. Eine feinere Phasenregelung von 0 bis ± 2  
 Mikrosekunden kann durch geringfügige Änderung des  
 Gleichstrom-Offset zur Phasenvergleichsschaltung er-  
 zielt werden, wo der Sägezahngenerator wechselstrom-  
 mäßig gekoppelt ist, wie oben beschrieben. Die feinere  
 Phasenregelung kann durch Änderung der Steigung des  
 Sägezahns bewirkt werden oder durch Einführung eines  
 kleinen veränderbaren Widerstands in Reihe mit dem  
 Kondensator des Sägezahngenerators.

Da der 32f<sub>H</sub>/16-Zeitsteuerungs-Signalimpuls etwa 6  
 Mikrosekunden breit ist und ein typisches 2f<sub>H</sub>-Rücklauf-  
 intervall 5,7 Mikrosekunden beträgt, kann ein integrier-  
 ter Rücklaufimpuls, von dem der Sägezahn erzeugt  
 wird, bis zu etwa 200 Mikrosekunden von der Vorder-  
 flanke des 32f<sub>H</sub>/16-Zeitsteuerungs-Signalimpulses ver-  
 zögert werden. Die Horizontal-Austastung würde zu  
 spät beginnen. Wenn die Horizontal-Austastung von  
 diesem selben Impuls des 32f<sub>H</sub>/16-Zeitsteuerungssignals  
 gemäß der Erfindung ausgelöst wird, startet sie kurz vor  
 dem Rücklaufintervall und ist etwas breiter als das  
 Rücklaufintervall, wodurch für eine richtige Austast-  
 zeitsteuerung und Breite gesorgt wird.

Die vergleichenden Zeitsteuerungsdiagramme in  
 Fig. 4 und 5 veranschaulichen, wie der 32f<sub>H</sub>/16-Zeit-  
 steuerungssignal-Impuls zur Erzeugung eines Austastsi-  
 gnals verwendet werden kann.

Fig. 4(a) zeigt das Signal an der Verbindung der Wi-  
 derstände R5 und R6 in Fig. 3, und Fig. 4(b) zeigt die  
 Zeile 214 des Philips-Video-Schemas. Man sieht, daß das  
 Austastintervall in Fig. 4(a) unmittelbar vor dem Teil  
 des Videosignals beginnt, der ausgetastet werden soll,  
 und daß es endet, bevor das aktive Videosignal für die  
 nächst Zeile ausgetastet würde. Fig. 5(a) und 5(b) zeig-  
 en, wie der 2f<sub>H</sub>-Jochstrom bzw. dieselbe Zeile 214 des  
 Philips-VideoSchemas gerade in das Austastintervall  
 fallen.

Wenn im Horizontal-Austastgenerator 17 ein exter-  
 ner invertierender Transistor verwendet wird, muß da-  
 für gesorgt werden, daß Speicherzeitwirkungen mini-  
 miert werden und sichergestellt wird, daß der Austast-  
 impuls zur richtigen Zeit endet und nicht aktive Videosi-  
 gnale austastet. Fig. 3 zeigt eine geeignete Schaltung 19  
 einer Inverter- und Treiberstufe für eine Austastschal-  
 tung gemäß einem erfinderischen Aspekt. Die Inverter/  
 Treiberschaltung enthält einen Transistor Q1. Das 32f<sub>H</sub>/  
 16-Zeitsteuerungssignal ist wechselstrommäßig durch  
 einen Kondensator C1 mit dem Inverter gekoppelt. Die  
 Widerstände R1, R2 und R3 haben eine genügend hohe  
 Impedanz, um eine nennenswerte Belastung des Signals

zu vermeiden. Eine Diode CR1 steuert die Sättigung des Transistors Q1, um die Speicherzeit und Ausgangsbreite zu minimieren. Die Wahl des Widerstands R4 steuert den "Slicing"-Pegel der hinteren Impulsflanke, und der Kondensator C2 sorgt für einen festen schnellen Beginn der Vorderflanke. Der Sägezahn am Emitter des Transistors Q1 wird während des Impulses erzeugt und vermindert den Slice-Pegel für den Abschaltzeitpunkt und hält dadurch die richtige Austastbreite aufrecht.

Die Widerstände R5 und R6 bilden einen Spannungsteiler, um eine Schnittstelle zum Puffertransistor Q2 zu bilden, der als Emitterfolger ausgebildet ist. Die Horizontal- und Vertikal-Austastsignale werden an der Verbindung der Dioden CR2 und CR3 kombiniert, die zugleich mit der Basis des Transistors Q2 verbunden ist. Der Ausgang des Transistors Q3 ist ein zusammengesetztes Austastsignal.

Wenn die Videosignalverzögerungen durch den Videoverarbeitungskanal erst einmal errichtet worden sind und die Phasenbeziehung durch digitale Daten (vom Mikroprozessor oder durch Drahtbrücken) wie auch der Gleichstrom-Offset der zweiten PLL-Schaltung eingestellt worden sind, wird daher die Austastung perfekt in der Zeit mit dem Videosignal gesteuert.

#### Patentansprüche

1. Gerät mit einer ersten PLL-Schaltung (14), die mit einer Frequenz  $f_H$  arbeitet und mit einer Horizontal-Synchronkomponenten eines Videosignals synchronisiert ist; mit einem Konverter (16) von  $f_H$  in  $nf_H$  zur Ableitung eines  $nf_H$ -Zeitsteuerungssignals von Ausgängen der ersten PLL-Schaltung (14) wobei  $n$  eine ganze Zahl ist; und mit einer zweiten PLL-Schaltung (18), die mit dem  $nf_H$ -Zeitsteuerungssignal synchronisiert ist, um ein  $nf_H$ -Abtast-Synchronsignal für eine mit  $nf_H$  arbeitende Ablenkstufe (20) zu erzeugen, **gekennzeichnet durch**: Mittel (17), die auf das  $nf_H$ -Zeitsteuerungssignal ansprechen, um ein Austastsignal zu erzeugen, das einen Elektronenstrahl während der Horizontal-Rücklaufintervalle der Ablenkstufe unwirksam macht.
2. Gerät nach Anspruch 1, gekennzeichnet durch einen  $mf_H$ -Oszillator (13), der einen Teil der ersten PLL-Schaltung (14) bildet und einen der Ausgänge ( $32f_H$ ) erzeugt, auf die der Konverter von  $f_H$  in  $nf_H$  anspricht, wobei  $m$  ein ganzzahliges Vielfaches von  $n$  ist.
3. Gerät nach Anspruch 2, dadurch gekennzeichnet, daß  $m$  gleich 32 und  $n$  gleich 2 ist.
4. Gerät nach Anspruch 1, dadurch gekennzeichnet, daß  $n$  gleich 2 ist.
5. Gerät nach Anspruch 1, dadurch gekennzeichnet, daß der Konverter (16) von  $f_H$  in  $nf_H$  einen Zähler (38) zum Teilen eines Taktsignals ( $32f_H$ ) enthält, und daß die Impulse des Horizontal-Austastsignals eine Breite haben, die durch ganzzahlige Vielfache von Perioden des Taktsignals definiert ist.
6. Gerät nach Anspruch 1, gekennzeichnet durch Mittel (CR2, CR3, Q2) zum Kombinieren des Horizontal-Austastsignals mit einem Vertikal-Austastsignal, um ein zusammengesetztes Austastsignal zu erzeugen.
7. Generator zur Erzeugung eines Horizontal-Austastsignals mit einer ersten PLL-Schaltung (14), der ein Videosignal zugeführt wird, das eine Horizontal-Synchronkomponente mit der Frequenz  $f_H$  hat,

und die einen Oszillator (13) enthält, der ein Signal mit der Frequenz  $mf_H$  erzeugt;

mit einem Frequenzteiler (16) zum Umsetzen des  $mf_H$ -Signals in ein  $nf_H$ -Zeitsteuerungssignal durch Teilung des  $mf_H$ -Signals;

mit einer zweiten PLL-Schaltung (18), die mit dem  $nf_H$ -Zeitsteuerungssignal synchronisiert ist, um ein  $nf_H$ -Abtast-Synchronsignal für eine mit  $nf_H$  arbeitende Ablenkstufe (20) zu erzeugen;

und mit Mitteln ( $\mu P$  BUS), um dem Frequenzteiler (16) nacheinander Startnummern zuzuführen, die so gewählt sind, daß sie eine Phasenbeziehung zwischen dem  $nf_H$ -Zeitsteuerungssignal und dem  $mf_H$ -Signal steuern, gekennzeichnet durch: Mittel (17), die auf das  $2f_H$ -Zeitsteuerungssignal ansprechen, um Horizontal-Austastimpulse für das Videosignal zu erzeugen.

8. Signalgenerator nach Anspruch 7, gekennzeichnet durch Mittel zum Abwandeln des  $nf_H$ -Zeitsteuerungssignals wenigstens in der Phase oder in der Impulsbreite oder in beiden.

9. Signalgenerator nach Anspruch 7, dadurch gekennzeichnet, daß  $n$  gleich 2 ist.

10. Signalgenerator nach Anspruch 7, dadurch gekennzeichnet, daß  $m$  gleich 32 und  $n$  gleich 2 ist.

11. Horizontal-Ablenksystem mit Mitteln (14, 16) zur Erzeugung eines  $nf_H$ -Zeitsteuerungssignals synchron mit einer  $f_H$ -Horizontal-Synchronkomponente in einem Videosignal, wobei  $nf_H$  eine höhere Frequenz ist als  $f_H$ ;

mit ersten Mitteln (18), die auf das  $nf_H$ -Zeitsteuerungssignal ansprechen, um ein  $nf_H$ -Abtast-Synchronsignal synchron mit dem  $nf_H$ -Zeitsteuerungssignal zu erzeugen;

und mit einer mit  $nf_H$  arbeitenden Horizontal-Ablenkstufe (20), die auf das  $nf_H$ -Abtast-Synchronsignal anspricht, gekennzeichnet durch: zweite Mittel (17), die auf das  $nf_H$ -Zeitsteuerungssignal ansprechen, um Horizontal-Austastimpulse zu erzeugen.

12. System nach Anspruch 11, gekennzeichnet durch Mittel (CR2, CR3, Q2) zum Kombinieren der Horizontal-Austastimpulse mit Vertikal-Austastimpulsen, um ein zusammengesetztes Austastsignal zu bilden.

13. System nach Anspruch 11, dadurch gekennzeichnet, daß die Mittel zur Erzeugung des  $nf_H$ -Zeitsteuerungssignals eine erste PLL-Schaltung (14) und einen Frequenzteiler (16) enthalten.

14. System nach Anspruch 13, dadurch gekennzeichnet, daß die ersten, auf das  $nf_H$ -Zeitsteuerungssignal ansprechenden Mittel zur Erzeugung des  $nf_H$ -Abtast-Synchronsignals eine zweite PLL-Schaltung (18) enthalten.

15. System nach Anspruch 11, dadurch gekennzeichnet, daß die Mittel zur Erzeugung des  $nf_H$ -Zeitsteuerungssignals Mittel (13) zur Erzeugung eines Taktsignals mit einer Frequenz  $mf_H$  enthalten, wobei  $mf_H$  eine höhere Frequenz hat als  $nf_H$ ; sowie Mittel (38) zur Teilung des  $mf_H$ -Taktsignals für die Erzeugung des  $nf_H$ -Taktsignals.

16. System nach Anspruch 11, dadurch gekennzeichnet, daß die zweiten, auf das  $nf_H$ -Zeitsteuerungssignal ansprechenden Mittel einen Treiber/Inverter (19) enthalten.

Hierzu 5 Seite(n) Zeichnungen

- Leerseite -

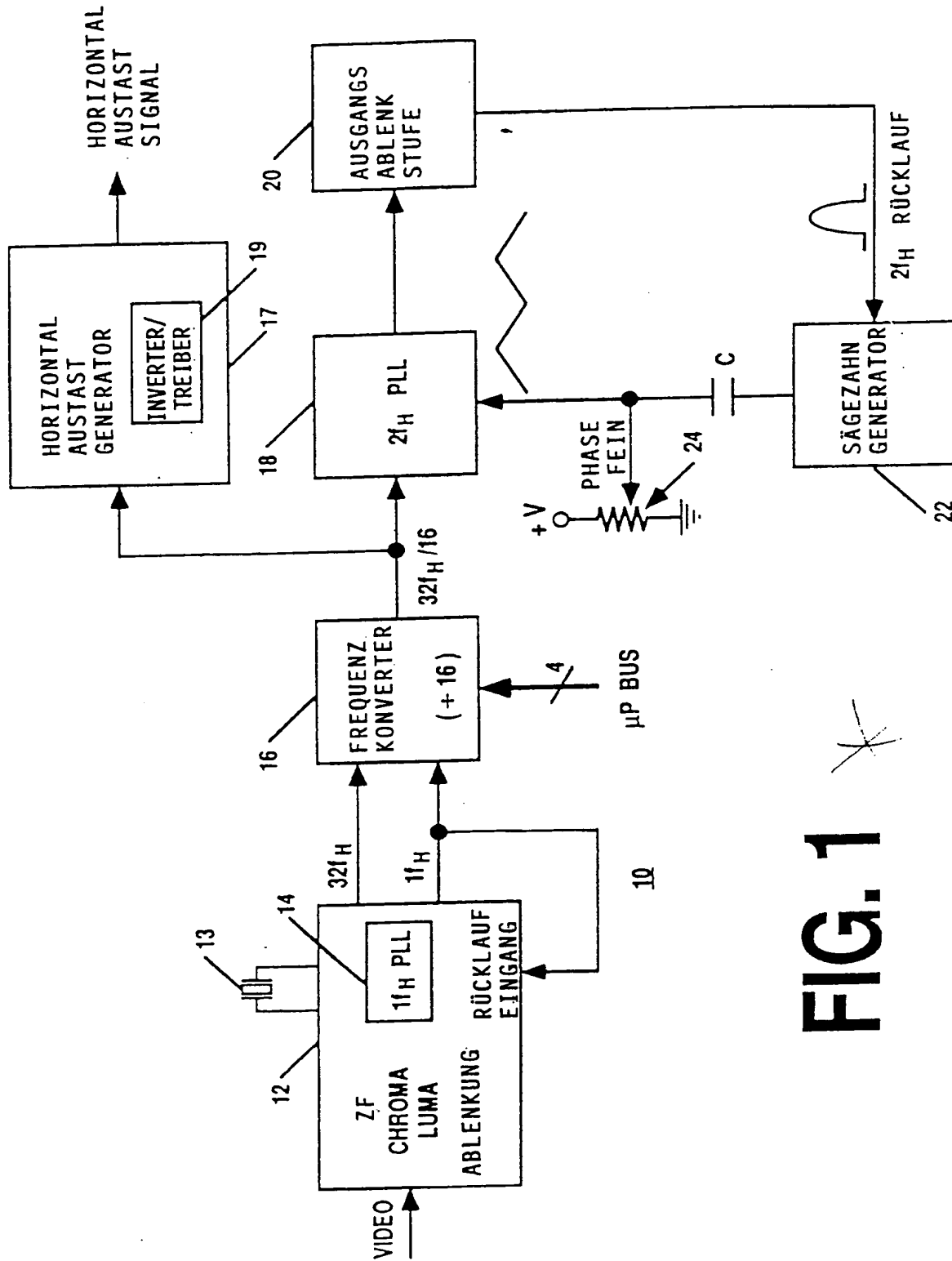


FIG. 1

